

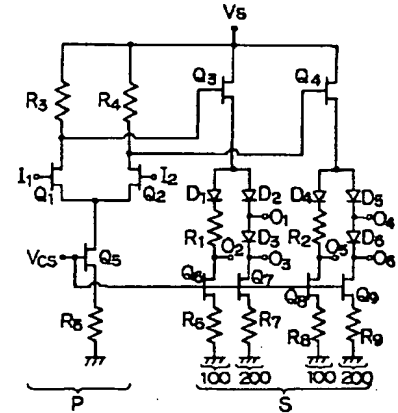
## BEST AVAILABLE COPY

## (54) LEVEL SHIFT CIRCUIT

(11) 5-37356 (A) (43) 12.2.1993 (19) JP  
 (21) Appl. No. 3-187763 (22) 26.7.1991  
 (71) ROHM CO LTD (72) YASUSHI KINUGASA  
 (51) Int. Cl.<sup>5</sup> H03K19/0952, G06G7/12, H03K19/0185

**PURPOSE:** To decrease the dispersion of a DC level by connecting two series circuits combined a diode and a resistance in parallel to a source-follower of an FET connected to an output stage of a differential logic circuit.

**CONSTITUTION:** A level shift circuit part S connects outputs of opposite phases, respectively of a differential logic circuit part P to a gate, and the circuit S is connected to source of FETs Q<sub>3</sub>, Q<sub>4</sub> for driving a circuit of a post-stage of the part S. That is, to the source of the FET Q<sub>3</sub>, a first circuit 100 to which a diode D<sub>1</sub>, a resistance R<sub>1</sub>, an FET Q<sub>6</sub> for constituting a constant-current circuit, and a resistance R<sub>6</sub> are connected in series, and a second circuit 200 to which diodes D<sub>2</sub>, D<sub>3</sub>, an FET Q<sub>7</sub> and a resistance R<sub>7</sub> are connected in series are connected. In this circuit S, a resistance corresponding to half of a rising voltage is used for the diode D<sub>1</sub> in one circuit 100 connected in parallel, therefore, three pieces of DC levels can stably be obtained by a voltage of a series connection portion of two pieces of diodes.

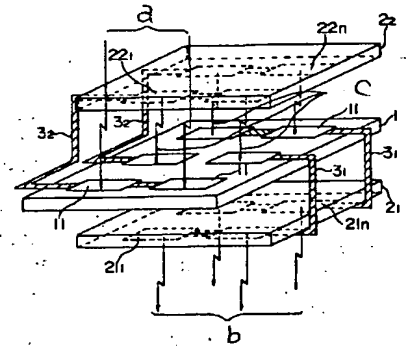


## (54) INTEGRATED PHOTOELECTRIC LOGICAL ARITHMETIC SYSTEM

(11) 5-37357 (A) (43) 12.2.1993 (19) JP  
 (21) Appl. No. 3-193313 (22) 1.8.1991  
 (71) HAMAMATSU PHOTONICS K.K. (72) YOSHIHIKO MIZUSHIMA(7)  
 (51) Int. Cl.<sup>5</sup> H03K19/14, G06F7/50, H01L31/12

**PURPOSE:** To make the most of a high-speed property and simplicity of a photoelectric logical arithmetic gate consisting of a semiconductor photodetector, and compactness of the whole system by integrating it into a feedback loop of an optical signal, and also, to simplify an input/output system of the optical signal.

**CONSTITUTION:** An integration photoelectric logical arithmetic substrate 1 provided with an arithmetic circuit part 11 using plural pieces of semiconductor light receiving elements, and integration optical signal output substrates 2<sub>1</sub>, 2<sub>2</sub> in which plural semiconductor photodetector 21, 21<sub>n</sub>, and 22, 22<sub>n</sub> are integrated and placed, respectively are connected through electric wirings 3<sub>1</sub>, 3<sub>2</sub>. The integrated optical signal output substrate 2<sub>1</sub> is a substrate for outputting a result of operation to the outside, and the integrated optical signal output substrate 2<sub>2</sub> is a substrate for leading an optical signal into a feedback loop in order to store temporarily the result of operation, or in order to input it to the integrated photoelectric logical arithmetic substrate 1 again. By opposing these substrates, sticking and fixing them, while aligning the optical axes, and converting them to a module, a signal loop can simply be constituted.



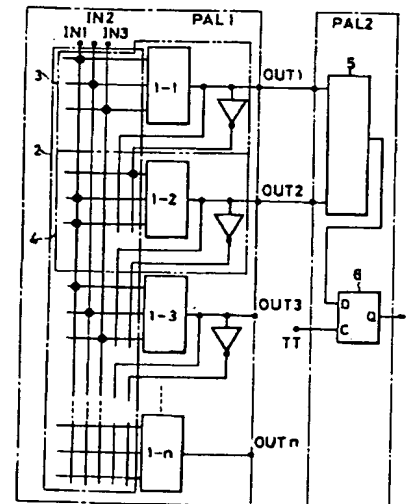
a: optical input signal, b: optical output signal, c: optical internal feedback signal

## (54) PROGRAMMABLE LOGIC CIRCUIT

(11) 5-37358 (A) (43) 12.2.1993 (19) JP  
 (21) Appl. No. 3-193835 (22) 2.8.1991  
 (71) FUJITSU LTD (72) HIDENORI MINAMIGUCHI  
 (51) Int. Cl.<sup>5</sup> H03K19/173

**PURPOSE:** To surely transfer an abnormality signal by forming a second logic circuit for inputting an output of a first logic circuit and inverting and outputting it, and sending out an output of a first logic circuit and an output of a second logic circuit to a logic circuit of the next stage.

**CONSTITUTION:** In a first logic circuit 3, signals of input terminals IN1-IN3 are inputted to a logical gate 1-1 and to a second logic circuit 4, a signal obtained by inverting an output of the circuit 3 by an inverter, and a signal of the terminal IN1 are inputted. In this case, the terminal IN1 becomes an H level and to the IN2 and the IN3, a signal of is inputted simultaneously, respectively. In that case, under the condition that an abnormality signal is outputted, when the gates 1-1, 1-2 are set as AND gates, an output of the gate 1-1 and an output of the gate 1-2 become "1" and "0", respectively at the time of the condition for outputting the abnormality signal. In this case, an output of the next logic circuit 5 becomes "1", and at the timing of an inspection timing signal TT, the abnormality signal is sent out of an output terminal Q of an FF 6.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-37357

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/14		7827-5 J		
G 0 6 F 7/50	Z	9291-5 B		
H 0 1 L 31/12	Z	7210-4 M		

審査請求 未請求 請求項の数12(全 18 頁)

(21)出願番号 特願平3-193313

(22)出願日 平成3年(1991)8月1日

(71)出願人 000236436

浜松ホトニクス株式会社  
静岡県浜松市市野町1126番地の1

(72)発明者 水島 宜彦

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72)発明者 中嶋 和利

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72)発明者 廣畑 徹

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(74)代理人 弁理士 長谷川 芳樹 (外3名)

最終頁に続く

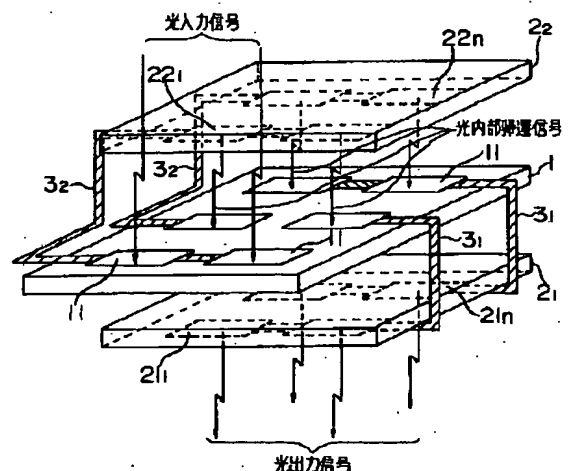
(54)【発明の名称】 集積化光電論理演算システム

(57)【要約】

【目的】 本発明は、半導体受光素子からなる光電論理演算ゲートの高速性と簡潔さ、及びこれを光信号の帰還ループ中に組み込むことによるシステム全体のコンパクトさを活かし、加えて光信号の入出力系統を簡素化することによって、光電論理演算システムの、より実用的な形を提供するものである。

【構成】 複数の半導体受光素子を用いた演算回路部分(11)が設けられた集積化光電論理演算基板(1)と、複数の半導体発光素子(21<sub>1</sub>~21<sub>n</sub>、22<sub>1</sub>~22<sub>n</sub>)がそれぞれ集積して配置された集積化光信号出力基板(2<sub>1</sub>、2<sub>2</sub>)とが、電気配線(3<sub>1</sub>、3<sub>2</sub>)を介して接続されている。集積化光信号出力基板

(2<sub>1</sub>)は演算結果を外部に出力するための基板であり、集積化光信号出力基板(2<sub>2</sub>)は演算結果を一時記憶、あるいは再び集積化光電論理演算基板(1)に入力するために、光信号を帰還ループ内に導入するための基板である。これらの基板を向かい合わせて、光軸を合わせながら接着、固定し、モジュール化することにより、信号ループを簡単に構成することができる。



## 【特許請求の範囲】

【請求項1】 半導体受光素子を入力光電変換ゲートとし、このゲートの複数個を半導体基板上に配置し、これらゲート間の配線、もしくは個々のゲートに与えられるバイアス電源の極性や大きさによって、あらかじめ決められた論理演算を、光信号の入力により行う光電論理演算回路が、複数組集積された集積化光電論理演算基板と、

複数個の半導体発光素子を半導体基板上に集積して配置し、これらの演算結果を光信号に変換して出力するための、1個以上の集積化光信号出力基板と、

これら集積化光電論理演算基板と集積化光信号出力基板とを電気的に接続するための電気配線により、

論理演算によって得られた光出力信号の一部を、再び集積化光電論理演算基板内の光電論理演算回路に入力するために設けられた集積化光信号出力基板を、その中の発光素子が集積化光電論理演算基板のそれぞれ対応する入力光電変換ゲートと、幾何光学的結合関係を有するように配置することにより、光信号の帰還手段とを備えた集積化光電論理演算システム、

および、これを単位演算ブロックとして複数個並列に配置し、また必要に応じて、それぞれの光出力信号の一部を縦続入力するように、単位演算ブロック間を光学的に結合することによって、複数ビットの光信号の同時入力により、論理演算を同時に並列に行うようになされた、並列型集積化光電論理演算システム。

【請求項2】 単位演算ブロック内において、光信号を帰還するために設けられた集積化光信号出力基板を、集積化光電論理演算基板と対向配置するように構成された請求項1記載の集積化光電論理演算システム。

【請求項3】 単位演算ブロック内において、集積化光信号出力基板の内の一部を、2組に分岐して出力する手段を設け、一方は、演算結果を単位演算ブロックの外部に出力するためだけのものとし、もう一方は、演算結果を単位演算ブロック内で帰還するためだけのものとした請求項1記載の集積化光電論理演算システム。

【請求項4】 半導体受光素子が、半導体基板上にショットキー接合を対向配置して構成した、実質的に左右対称な電極構造を有する請求項1記載の集積化光電論理演算システム。

【請求項5】 半導体発光素子が、面発光レーザである請求項1記載の集積化光電論理演算システム。

【請求項6】 集積化光電論理演算基板と、集積化光信号出力基板の一部あるいは全部を、これらを電気的に接続する電気配線を含めて、同一半導体基板上にモノリシックに集積した構成において、半導体基板の一方の面に光信号が入力され、もう一方の面から光信号が出力される請求項1記載の集積化光電論理演算システム。

【請求項7】 集積化光電論理演算基板と、集積化光信号出力基板を、これらを電気的に接続する電気配線を含

めて、同一半導体基板上にモノリシックに集積し、これに信号を集積回路基板間において帰還するための、別の集積化光信号出力基板を、お互いに対応する光結合関係を満足するように向かい合わせて重ね合わせ、固定した請求項1記載の集積化光電論理演算システム。

【請求項8】 半導体基板として半絶縁性GaAs基板、半絶縁性InP基板、もしくはGaP基板が用いられた請求項1記載の集積化光電論理演算システム。

【請求項9】 複数ビット構成の光入力信号を並列に受光し、論理回路内でビット信号を並列的に配列処理する手段と、複数ビット構成の出力のために、光出力信号を並列的に配列処理する手段とを含む請求項1記載の集積化光電論理演算システム。

【請求項10】 集積化光電論理演算基板内に、半加算演算を行うようになされた回路を設け、この演算結果として出力され、集積化光信号出力基板で変換されたCARRY光信号が、集積回路基板間の帰還による信号循環機能によって一時記憶され、再び集積化光電論理演算基板内の半加算演算回路部分に入力されるようになされた構成によって、全加算演算を直列に行う請求項1記載の集積化光電論理演算システム。

【請求項11】 集積化光電論理演算基板内に、半加算演算を行うようになされた回路を設け、この演算結果として出力され、集積化光信号出力基板で変換されたCARRY光信号を、並列に配置され光学的に縦続結合された、1ビット上位の単位演算ブロック内の光電半加算演算回路部分に入力するようになされた構成によって、全体として、全加算演算を並列に行う請求項1記載の集積化光電論理演算システム。

【請求項12】 並列光信号入力による演算結果のうちのCARRY電気信号を、光信号に変換することなく1ビット上位の演算ゲートの電気信号入力として利用する請求項1記載の集積化光電論理演算システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、光信号による論理演算システムに関するものである。

## 【0002】

【従来の技術】従来から主に研究されてきた光コンピュータ、及び光信号による論理演算システムは、図15に示されるように、空間フィルタとして空間光変調素子15を用いたものであり、発光素子アレイ16、受光素子アレイ17と組み合わせて構成され、光の持つ並列性を活かした大規模な2次元マトリクス演算が、一度に行えることを特徴としている。またこれに用いられるメモリとしては、LiNbO<sub>3</sub>等の強誘電性結晶や、半導体pnpn構造の光スイッチ、さらに半導体レーザの非線形性を利用したものがある。これらを組み合わせて真空管型に構成された空間光変調管や、半導体技術を用いてモジュール化された、光コンピュータ素子や光ニューロ素

子が研究開発されており、その詳細については下記に示す1989年秋期、第50回応用物理学会学術講演会シンポジウムダイジェスト、「光コンピューティング」(JSA cat-no: AP891232)に述べられている。

【0003】これに対し、本発明者等は以前に図16及び図17に示される回路を構成し、光信号を用いた半加算等の論理演算が、数個の半導体受光素子8、8<sub>1</sub>、8<sub>2</sub>を用いて行うことができることを示した。これによれば、バイアス電源18<sub>1</sub>～18<sub>3</sub>、補助抵抗およびコンデンサ19<sub>1</sub>～19<sub>4</sub>、負荷抵抗20<sub>1</sub>、20<sub>2</sub>と共に光電半加算演算回路を組むことによってその演算速度や構成の簡潔さにおける優位性を見出すことができる。図18及び19は、上述の図16及び17に示した光電半加算演算回路をそれぞれ、同一の半導体基板4に集積した集積回路例である。図16及び17と同一箇所には同一番号を付して示した。なお、これらの光電半加算演算回路とそれを用いた集積回路については、本発明者らによる下記の文献、

“IEEE J. Quantum electron., vol. 26, pp. 619-621, 1990”

や、特願平1-077332号公報、もしくは特願平2-103410号公報に詳しく記載されている。さらに図20に示されるように、上述の光電半加算演算回路を光メモリ26と接続して一論理演算単位とし、これらをお互いに光ファイバや光導波路を用いた光配線部分27を介して光学的に結合することによって、高速の光電全加算演算が行えることを提案した。この詳細については、特願平1-161913号公報に述べられている。

【0004】また、このような受光素子からなる光電排他的論理和(XOR)演算ゲートアレイ28、及び光電論理積(AND)演算ゲートアレイ29を、発光素子と共に平面上に配置し、反射鏡やコーナーキューブ等によって、集積回路基板間における光信号の帰還を行い、信号ループを構成することによって、複数ビット(4ビット)の並列演算方式の光電全加算演算システムが考案された(図21図示)。この詳細については、H. Kamiyamaらによる下記の文献、

“Japan J. Appl. Phys., pt. 2, vol. 29, pp. 1248-1251, 1990”

に示されている。また本発明者等は、信号ループ中に、1クロック分のメモリループを組み込むことによって構成される、直列演算方式の光電全加算演算システムを提案している。このメモリループは、この光電演算システムが、反射鏡を用いた光信号の帰還ループにより構成されていることを利用して、信号を演算システム内で循環させるための発光素子、受光素子の組を設けることにより、簡単に導入されたものである。図22はその具体例を示したものであり、半導体受光素子からなる光電排他的論理和(XOR)演算ゲートアレイ28、及び光電論

理積(AND)演算ゲートアレイ29を半導体発光素子21<sub>1</sub>～21<sub>3</sub>と共に平面上に配置し、コーナーキューブ10を用いて光信号の帰還を行うように構成することによってメモリ機能を含んで実現される。

#### 【0005】

【発明が解決しようとする課題】まず、空間光変調素子を用いた場合、この材料としては液晶や強誘電性結晶、また半導体多重量子井戸(MQW)等が用いられる。このうち、液晶は応答時間が数msecと非常に遅く、高速演算には不向きである。強誘電性結晶は応答時間は100μs程度で、液晶よりは速いが充分ではない。また、光の透過率が低く、コントラストが高くとれない。このため、空間光変調管では、内部にマイクロチャネルプレートを組み込んであるが、これによって構成される光コンピュータは、システム全体が大きくなってしまう欠点がある。さらに、現在のところ、安定な結晶を作製することは非常に困難であり、工業化の目途はたっていない。MQWは最近の半導体結晶技術の向上により、注目を集めている材料であり、応答速度は1ns以下と非常に速いが、オンオフ比が悪く、低コントラストであるのが欠点である。また、高度な結晶成長技術を必要とするため、非常に高価なものになってしまう。

【0006】一方、半導体受光素子を組み合わせた光電論理演算ゲートと発光素子からなる光電論理演算単位を、光配線によって結合する方法は、高速性と構成の簡潔さが特徴である。さらに、反射鏡等を用いて光信号の帰還ループ中にこれを組み込むことにより、システム全体がコンパクトになり、またメモリ機能も簡単に取り入れられるので、これらの特徴をさらに活かすことができる。しかし、ここでは光信号の入力と出力、さらに帰還機能を、1つの反射鏡もしくはコーナーキューブでまかなっているため、これら行く先の異なる光信号の仕分けが面倒であり、また外部制御により偏光状態が変化する、電気光学素子等の偏光板を挿入するなどして、これらの光信号をクロック毎に制御する必要があった。例えば、図21に示されるような演算システムにおいては、まず反射鏡であるハーフミラーは、入射光の偏光状態に応じて透過率が異なる偏光ミラーとし、また上述のような偏光板をミラーの前後に挿入して、外部から光信号が入力、もしくは光信号を外部に出力する際には、偏光ミラーを光が透過できるようにし、内部において光信号を帰還させる際には、偏光ミラーを光が反射するようにするというように、非常に面倒な制御を必要とする。このため光学系やタイミングクロック系統が複雑になり、先の特徴を活かしきれいでなかった。

【0007】本発明は、半導体受光素子からなる光電論理演算ゲートの高速性と簡潔さ、およびこれを光信号の帰還ループ中に組み込むことによる、システム全体のコンパクトさを活かし、加えて光信号の入出力系統を簡素化することによって、より実用的な光電論理演算システ

10

20

30

40

50

ムを提供するものである。

#### 【0008】

【作用】本発明の集積化光電論理演算システムは、半導体受光素子を入力光電変換ゲートとし、このゲートの複数個を半導体基板上に配置し、これらゲート間の配線、もしくは個々のゲートに与えられるバイアス電源の極性や大きさによって、あらかじめ決められた論理演算を、光信号の入力により行う光電論理演算回路が、複数組集積された集積化光電論理演算基板と、複数個の半導体発光素子を半導体基板上に集積して配置し、これらの演算結果を光信号に変換して出力するための、1個以上の集積化光信号出力基板と、これら集積化光電論理演算基板と集積化光信号出力基板とを電気的に接続するための電気配線により、論理演算によって得られた光出力信号の一部を、再び光電論理演算基板内の光電論理演算回路に入力するために設けられた集積化光信号出力基板を、その中の発光素子が集積化光電論理演算基板のそれぞれに対応する入力光電変換ゲートと、幾何光学的結合関係を有するように配置することにより、光信号の帰還手段とを備えていることを特徴とする。さらに、これを単位演算ブロックとして複数個並列に配置し、また必要に応じて、それぞれの光出力信号の一部を縦続入力するように、単位演算ブロック間を光学的に結合することによって、複数ビットの光信号の同時入力により、論理演算を同時に並列に行うようになされた並列型集積化光電論理演算システムであることを特徴とする。

【0009】前述の単位演算ブロック内において、光信号を帰還するために設けられた集積化光信号出力基板を、集積化光電論理演算基板と対向配置するように構成され、あるいは前述の単位演算ブロック内において、集積化光信号出力基板の内の一部を、2組に分岐して出力する手段を設け、一方は、演算結果を単位演算ブロックの外部に出力するためだけのものとし、もう一方は、演算結果を単位演算ブロック内で帰還するためだけのものであるといった構成をとることができる。

【0010】さらに、前述の半導体受光素子が、半導体基板上にショットキー接合を対向配置して構成した、実質的に左右対称な電極構造を有するものであり、さらには半導体発光素子が、面発光レーザである集積化光電論理演算システムであることが望ましい。

【0011】前述の集積化光電論理演算システムは、集積化光電論理演算基板と、集積化光信号出力基板の一部あるいは全部を、これらを電気的に接続する電気配線を含めて、同一半導体基板上にモノリシックに集積した構成において、半導体基板の一方の面に光信号が入力され、もう一方の面から光信号が出力されるものであり、さらに、これに信号を集積回路基板間において帰還するための、別の集積化光信号出力基板を、お互いに対応する光結合関係を満足するように向かい合わせて重ね合わせ、固定した構成をとることが、伝搬遅延時間の短縮、

クロストークの抑制、システムの小型化という点において望ましい。

【0012】なお、半導体基板として半絶縁性GaAs基板、半絶縁性InP基板、もしくはGaP基板を用いることが望ましい。

【0013】また、本発明の集積化光電論理演算システムは、複数ビット構成の光入力信号を並列に受光し、論理回路内でビット信号を並列的に配列処理する手段と、複数ビット構成の出力のために、光出力信号を並列的に配列処理する手段とを含むものであってもよい。

【0014】さらに、前述の集積化光電論理演算システムの具体的実施例として、全加算演算システムを構成することができる。これは、集積化光電論理演算基板内に半加算演算を行うようになされた回路を設け、この演算結果として出力され、集積化光信号出力基板で変換されたCARRY光信号が、集積回路基板間の帰還による信号循環機能によって一時記憶され、再び集積化光電論理演算基板内の半加算演算回路部分に入力されるようになされた構成によって、全加算演算を直列に行う方式、あるいは、集積化光電論理演算基板内に、半加算演算を行うようになされた回路を設け、この演算結果として出力され、集積化光信号出力基板で変換されたCARRY光信号を、並列に配置され光学的に縦続結合された、1ビット上位の単位演算ブロック内の光電半加算演算回路部分に入力するようになされた構成によって、全体として、全加算演算を並列に行う方式が共に実現可能である。

【0015】前述の並列光信号入力による演算結果のうちのCARRY電気信号を、光信号に変換することなく1ビット上位の演算ゲートの電気信号入力として利用するようになされたものであってもよい。

#### 【0016】

【特にp. 5, 1. 19~p. 6, 1. 3の解決手段】本発明によれば、半導体受光素子と半導体発光素子を、それぞれ集積した半導体基板を、信号ループを構成するために、お互いに光学的に結合されるように空間的に配置することができる。とくに、光信号の入出力系統を空間的に振り分けて、その経路を簡素化することができる。これにより、演算速度はなお一層速くなり、また演算システム内での光信号の減衰が大幅に小さくなる。

【0017】本発明では、このためにまず光信号の入出力系統を振り分け、光信号の経路を簡素化する。具体的には、外部に出力される光信号と、ループ内を循環する光信号の出力部分を空間的に分離し、外部への出力信号はループ内を通過しないようにすればよい。

#### 【0018】

【実施例】図1は、本発明における集積化光電論理演算システムの一実施例を示したものである。ここで、複数個の半導体受光素子を半導体基板上に集積して配置した集積化光電論理演算基板1には、演算回路部分11が設

けられ、それぞれに含まれる半導体受光素子、およびこれらの素子間の配線と、素子に与えられるバイアスの極性に応じて、予め決められた論理演算を行うようになされてある。集積化光信号出力基板 $2_1$ 及び $2_2$ には、複数の半導体発光素子 $2_{11} \sim 2_{1n}$ 及び $2_{21} \sim 2_{2n}$ が集積して配置されている。このうち集積化光信号出力基板 $2_1$ は、演算結果を外部に出力するための基板であり、集積化光信号出力基板 $2_2$ は、演算結果を一時記憶、あるいは再び集積化光電論理演算基板1に入力するために、光信号を帰還ループ内に導入するための基板である。これらには、必要に応じて、半導体発光素子 $2_{11} \sim 2_{1n}$ 及び $2_{21} \sim 2_{2n}$ に輸入される電気信号を増幅するための、電子増幅回路が付加、集積される。この信号ループは、集積化光信号出力基板 $2_2$ と集積化光電論理演算基板1とが、幾何光学的な結合関係にあるように配置することによって実現される。簡単には図1に示すように、集積化光信号出力基板 $2_2$ を集積化光電論理演算基板1と向かい合わせて配置することにより構成でき、これにより、集積化光信号出力基板 $2_2$ からの光信号を集積化光電論理演算基板1に再入力することができる。このためには、集積化光信号出力基板 $2_2$ 上の半導体発光素子 $2_{21} \sim 2_{2n}$ と、これから出力される光信号が入力される相手の、集積化光電論理演算基板1上の受光素子とが、お互いに向き合って、同じ位置に組み込まれ集積されていることが必要である。特に、これら2枚の集積回路基板を向かい合わせて、光軸を合わせながら接着、固定して、この部分をモジュール化することにより、信号ループが簡単に構成できる。この場合、レンズ等の光学部品を用いる必要がないため、システム全体がコンパクトに構成できる。集積化光電論理演算基板1から出力される電気信号は、それぞれ、電気配線 $3_1$ 、 $3_2$ を介して集積化光信号出力基板 $2_1$ 、 $2_2$ に輸入される。システム全体をこのように構成することにより、外部に出力される光信号はループ内を通過しないですみ、光信号の経路が簡素化されるのでクロック毎の複雑な制御が不要になる。また、四則演算等の複雑な演算にしばしば必要となる、シフトレジスタ等の信号遅延回路は、この信号ループを利用することによって、本光電論理演算システムに簡単に組み込むことができる。

【0019】さらに、このように光信号を用いて論理演算が行われるように構成されるならば、複数の信号を光多重方式によって合成し、同時に、複数の論理演算を行わせることも可能である。レーナ構造のものが望ましい。この構造は、一般にMSM（金属-半導体-金属）構造とよばれ、この構造の受光素子、MSM-PDは、高速特性に優れた素子として本発明者らによって研究がなされている。詳細は、下記の文献

“IEEE Trans. Electron Devices, vol.37, pp.31-35, 1990”

に示されているが、図2に、その代表的な素子構造を示

す。ここでは、半導体基板（活性層を含む）4上にショットキー電極 $5_1$ 、 $5_2$ がお互いに向かい合って構成されており、さらに受光部以外の部分には絶縁体薄膜6が形成されている。受光部分は有効受光面積をかせぐため、くし型電極構造であるのが望ましい。この受光素子を用いることの利点として、複数の同一半導体基板内に集積することが容易であること、対称な電極構造が論理演算に最適であること、接合型なので、暗電流が小さいこと、さらに、高速応答特性に優れていることの4点が挙げられる。

【0020】発光素子としては、LEDや半導体レーザが挙げられるが、高速性、高コヒーレント性（集光性）の点から、半導体レーザが適している。このうち、近年において注目を集めるようになった面発光レーザは、光ビームを半導体基板に対して垂直に射出するため、平面上に配列して集積することができ、ここで用いられる発光素子として最適である。この詳細については、K. Igarashiによる下記の文献、

“J. Vac. Sci. Technol. A, vol. 7, pp. 842-846, 1989”に記載されている。図3にその代表的な素子構造を示す。半導体基板 $4_1$ の活性領域 $4_2$ の上部には多層膜反射鏡 $7_1$ が設けられ、さらにその基板の一方の面にはオーミック電極 $5_1$ が形成されている。その基板のもう一方の面には絶縁体薄膜6を介してオーミック電極 $5_2$ が形成され、さらに反射鏡 $7_2$ で覆われている。

【0021】図4は、MSM-PDを用いた集積化光電論理演算基板1の概念図である。半導体基板4上にはMSM-PDを用いた受光素子 $8_1 \sim 8_n$ が配置され、受光部以外の部分には絶縁体薄膜6が形成されている。受光素子 $8_1 \sim 8_n$ 間には、導電体薄膜電極9によって配線されている。図5は、面発光レーザを用いた集積化光信号出力基板 $2_1$ 、 $2_2$ の概念図であり、半導体基板4上に面発光レーザを用いた発光素子 $2_{11} \sim 2_{1n}$ が形成され、それ以外の部分は絶縁体薄膜6で覆われている。発光素子 $2_{11} \sim 2_{1n}$ 間には、導電体薄膜電極9によって配線されている。ここに示したように、本発明においては、集積化光電論理演算基板1及び集積化光信号出力基板 $2_1$ 、 $2_2$ は、それぞれ半導体基板4上に集積されているため、高密度、高効率の演算システムを構成することができる。またこの集積化により、各素子の位置が明確に定まるため、本発明において、不可欠な、空間的な光結合のための光軸合わせが容易になる。

【0022】さらに、同一半導体基板に、光電論理演算回路部分と光信号出力部分とを共に集積し、一方の面に光信号が入力され、もう一方の面から光信号が出力されるように構成することも可能である。図6は、この集積回路の概念図を示したものであり、半導体基板4上にMSM-PDを用いた受光素子 $8_1 \sim 8_n$ 、面発光レーザを用いた発光素子 $2_{11} \sim 2_{1n}$ が配置され、それ以外の部分には絶縁体薄膜6が形成されている。発光素子2

1<sub>1</sub>、～2<sub>1</sub>。間は、導電体薄膜電極9によって配線されている。これにより、これら2つの部分を接続する電気配線部分での遅延時間が短くなると共に、電気波形の伝播歪を最小限に抑えることができる。この構成では、この基板に、光信号の帰還のための集積化光信号出力基板2<sub>1</sub>を向かい合わせて合計2枚の基板のみによって、演算システム全体が構成できる。また前述のように、これに光信号の帰還のための集積化光信号出力基板2<sub>1</sub>を重ね合わせて、接着、固定することにより、演算システムがわずか1個のモジュールだけにまとまった、一層コンパクトな形になる。この具体例を図7に示す。なお、図6と同一箇所については同一番号を付して示す。

【0023】これら、集積回路に用いられる半導体基板4としては、光電素子、特に半導体レーザを形成するため、III-V化合物半導体のGaAs、もしくはInP基板が一般的である。特に、素子間分離が容易で、しかも高速特性に優れた高抵抗、低容量の半絶縁性基板が適している。このうち、半絶縁性GaAs基板は、波長0.8μm程度の短波長用に、半絶縁性InP基板は、波長1.3μm、1.55μm程度の長波長用に用いられる。また最近では、GaP基板を用いるケースも見られる。

【0024】次に、図1におけるシステム構成図、特に光信号の帰還方法を変形した実施例を示す。図8は、集積化光信号出力基板2<sub>2</sub>を集積化光電論理演算基板1と垂直な平面内に配置し、反射鏡7<sub>2</sub>を用いて光結合部分を構成したものである。図9は、集積化光信号出力基板2<sub>2</sub>を集積化光電論理演算基板1と同一平面内に配置し、コーナーキューブ10を用いて、光結合部分を構成したものである。この構成では、集積化光電論理演算基板1の光電論理演算部分と2つの集積化光信号出力基板2<sub>1</sub>及び2<sub>2</sub>の光信号の出力部分を、全て同一半導体基板上に集積することが可能である。実際に集積した場合、伝播される電気信号は全て半導体基板内で処理されるため、伝播遅延時間、波形歪とも最小になり、本システムの構成上最も高速性に優れたものとなる。ここに示したような、反射鏡7<sub>2</sub>やコーナーキューブ10等を用いて光結合部分を構成する方式では、これらにビームスプリッタ等の半透明な材質のものを用いることにより、光信号の一部を外部に取り出してモニターしたり、別の機能を付け加えたりすることが可能である。この他には各基板を光ファイバで配線する方法もある。ただしこれらの方法においては、光信号の帰還のための光学的結合手段として、レンズや光ファイバ等の光学部品を必要とするため、システム全体が必ずしもコンパクトにはならない。

【0025】次に、具体的な論理演算として、全加算演算を例にとる。全加算演算はコンピュータにおける演算のなかで最も基本的なものであり、光コンピュータを実現する場合において、最も重要な演算である。半導体発

光素子と受光素子を、コーナーキューブ等を用いて、空間的に光結合することによって、全加算演算を行わせることについては、既に提案がなされているが、本発明によれば、これをより簡単な構成および方式で実現することができる。

【0026】図10は、図1において示した集積化光電論理演算システムとして、全加算演算を直列方式で行う場合について、その実施例を示したものである。ここで、集積化光電論理演算基板1では、光信号の入力により半加算演算を行い、その結果を電気信号として出力する。ここには、実際に演算を行うための2組の回路1<sub>1</sub>及び1<sub>2</sub>と、これらにそれぞれ2個ずつ含まれる光電変換ゲート1<sub>11</sub>及び1<sub>12</sub>、1<sub>21</sub>及び1<sub>22</sub>、及び信号ループを構成して、演算結果を一時記憶するための光電変換ゲート1<sub>3</sub>が組み込まれている。演算回路例としては、既に述べたように従来技術として図16、図17に示されており、また、その集積回路例としては、それぞれ対応する集積回路図が、従来技術として図18、図19に示されている。これらの回路において、光電変換ゲートとして用いられる半導体受光素子には、前述のようにMSM-PDが適している。さらに、この基板には、演算結果を光信号に変換して外部に出力するための半導体発光素子2<sub>4</sub>も共に集積されており、図6に示された構成の、実施具体例に相当する。

【0027】集積化光信号出力基板2では、集積化光電論理演算基板1から電気信号が入力され、これを光信号に変換して出力し、再び集積化光電論理演算基板1に入力する。この集積化光信号出力基板2は、集積化光電論理演算基板1と向かい合わせて配置されることによって、信号ループを構成している。ここには、集積化光電論理演算基板1に組み込まれた、演算回路部分の光電変換ゲート1<sub>21</sub>、1<sub>22</sub>に入力するための光信号を出力する、半導体発光素子2<sub>1</sub>、2<sub>2</sub>、および演算結果を一時記憶するために、光電変換ゲート1<sub>3</sub>に入力するための光信号を出力する、半導体発光素子2<sub>3</sub>が組み込まれている。また、これらの半導体発光素子には、必要に応じて、入力前の電気信号を増幅するための、電子増幅回路が付加、集積される。ここで用いられる半導体発光素子としては、前述のように面発光レーザが適している。

【0028】集積化光電論理演算基板1から出力される電気信号は、電気配線3<sub>1</sub>を介して集積化光信号出力基板2に入力される。また、演算結果電気信号は、集積化光電論理演算基板1内において、電気配線3<sub>2</sub>を介して半導体発光素子2<sub>5</sub>に入力される。

【0029】次に、本例の作用を、図11に示したフローチャートを用いて説明する。加算される2組の入力データをX、Yとすると、これらは、下位のビット(桁)から上位のビットに向かって、それぞれX(x<sub>0</sub>, x<sub>1</sub>, ..., x<sub>n</sub>)、Y(y<sub>0</sub>, y<sub>1</sub>, ..., y<sub>n</sub>)の各n個の2進データからなっている。いま、k番

目のビット  $x_k$ 、 $y_k$  の光信号が、集積化光電論理演算基板1に組み込まれた演算回路部分11の、光電変換ゲート11<sub>1</sub>及び11<sub>2</sub>に入力されると、ここで半加算演算処理され、SUM、CARRYに対応する演算結果  $s_k$ 、 $c_k$  が、それぞれ電気信号として出力される。同時に、演算回路部分12の、光電変換ゲート12<sub>1</sub>及び12<sub>2</sub>には、1ビット前の  $(k-1)$  番目の演算結果であるSUM信号  $s_{k-1}$  および2ビット前の  $(k-2)$  番目の桁上げ信号であるCARRY光信号  $c''_{k-2}$  が入力され、ここで半加算演算処理され、SUM、CARRY 10 に対応する演算結果  $s'_{k-1}$ 、 $c'_{k-1}$  が、それぞれ電気信号として出力される。さらに、光電変換ゲート13には、集積化光信号出力基板2内の半導体発光素子23から、1ビット前の  $(k-1)$  番目の演算結果として、信号ループにより一時記憶されていたCARRY光信号  $c_{k-1}$  が入力され、同様に電気信号として出力される。これらの電気信号は、電気配線3<sub>1</sub>を通じて集積化光信号出力基板2へ入力されるが、このうち  $s_k$  は半導体発光素子21に、 $c_k$  は半導体発光素子23に、また  $c_{k-1}$  と  $c'_{k-1}$  は、電気配線3<sub>1</sub>内で合成され(ワイヤードOR)、 $c''_{k-1}$  として22に入力される。

【0030】これらは、ここで光信号変換されて、再び集積化光電論理演算基板1に入力されるが、あらかじめ決められているように、半導体発光素子21から出力される光信号  $s_k$  は、演算回路部分12の光電変換ゲート12<sub>1</sub>に、半導体発光素子22から出力される光信号  $c_{k-1}$  は、12<sub>2</sub>に、また半導体発光素子23から出力される光信号  $c_k$  は、光電変換ゲート13に入力され、信号ループによって一時記憶される。これと同時に次のビット  $x_{k+1}$ 、 $y_{k+1}$  の光信号が、光電変換ゲート11<sub>1</sub>、11<sub>2</sub>に入力される。

【0031】ここで、集積化光電論理演算基板1に組み込まれた2組の演算回路部分11と12で、同時に半加算演算が行われ、このうち、演算回路部分12からは、それぞれSUM、CARRYに対応する演算結果  $s'_{k-1}$ 、 $c'_{k-1}$  が、電気信号として出力される。同時に、光電変換ゲート13からは一時記憶されているCARRY信号  $c_k$  が、同様に電気信号として出力される。

【0032】これらの電気信号のうち、 $s'_{k-1}$  は、電気配線3<sub>2</sub>を通じて、集積化光電論理演算基板1に共に集積された、半導体発光素子24に入力される。また、 $c_k$  と  $c'_{k-1}$  は、電気配線3<sub>1</sub>内で合成され、 $c''_{k-1}$  として集積化光信号出力基板2内の半導体発光素子22に入力される。また演算回路部分11に入力された  $(k+1)$  番目の光信号  $x_{k+1}$ 、 $y_{k+1}$  は、前述の  $k$  番目の光信号と同様の処理がなされる。

【0033】半導体発光素子24に入力された電気信号  $s'_{k-1}$  は、ここで光信号に変換されて、 $k$  番目のビットの全加算演算結果として外部に出力される。このようにして2組の2進データが下位のビットから順に光信号と

して入力され、全加算演算が  $n$  回繰り返されることにより、その演算結果として下位のビットから順に、光信号として外部に出力される。

【0034】ここに述べた直列型全加算演算方式では、その中心となる半加算演算回路として、高速特性に優れたものを用いており、その演算速度は実質的にこれに用いてある半導体受光素子の応答速度に等しいので、その受光素子として高速応答のMSM-PDを用いることにより1回の半加算演算時間は0.1ns程度となる。1ビットの直列型全加算演算は、2回の半加算演算時間と、これに電気信号の伝播遅延時間、半導体発光素子の応答時間、光信号の伝播遅延時間が付け加わるだけであり、発光素子に面発光レーザ等の半導体レーザを用い、また全体をモジュール化して信号伝播時間を最小限に抑えることにより、1ビット分の全加算演算時間が0.3〜0.5ns程度と非常に高速の演算システムが実現できる。

【0035】次に、並列型の集積化光電論理演算システムについて述べる。図12は、図1に示したような、集積化光電論理演算システムを一単位とし、これを並列に配置して構成することにより、複数の入力データ、もしくはは入力データの全ビットや複数のビットを同時に演算処理できるようになされたものである。2次元画像演算処理等、非常に膨大な数のデータを短時間で演算処理する必要がある場合や、入力データの形が空間的な広がりをもつ場合には、このような並列演算方式が有効である。ここで、 $\dots$ 、 $(k-1)$ 、 $k$ 、 $(k+1)$ 、 $\dots$  は、その1つずつが、図1に示されるような集積化光電論理演算システムの一単位である。各単位演算ブロックは、それぞれが独立に作用する場合もあり、また隣の演算システムどうしが、お互いにデータを光信号の形でやり取りしながら、全体としてまとまった作用をする場合もある。この場合、各単位演算ブロックが、図のようにお互いに幾何学的に重なり合うように配置されることによって、レンズや光ファイバ等の光学部品を用いずに、光学的に結合することも可能である。

【0036】並列型集積化光電論理演算システムの具体例として、全加算演算を並列方式で行う場合について述べる。図13は、図10に示したような、全加算演算を行う集積化光電論理演算システムを一単位とし、これを空間的に並列に展開して集積した、リップルキャリー方式の並列型全加算演算システムである。

【0037】集積化光電論理演算基板1には、光信号の入力によって半加算演算を行い、その結果を電気信号として出力するために、1ビットにつき2組の半加算演算回路11、12と、これらにそれぞれ2個ずつ含まれる光電変換ゲート11<sub>1</sub>、11<sub>2</sub>、12<sub>1</sub>、12<sub>2</sub>、及び信号ループを構成して演算結果を一時記憶するための光電変換ゲート13が組み込まれ、これらがビット数分だけ並列に集積化されている。この半加算演算回路は、図



10において用いられているものと同じものである。光電変換ゲートとして用いられる半導体受光素子には、前述のようにMSM-PDが適している。さらに、この基板には、演算結果を光信号に変換して外部に出力するための半導体発光素子24も、1ビットにつき1個ずつ共に集積されており、図6に示された構成の、実施具体例に相当する。

【0038】集積化光信号出力基板2は、集積化光電論理演算基板1から電気信号が入力され、これを光信号に変換して、再び集積化光電論理演算基板1に入力するためのものであり、集積化光電論理演算基板1と向かい合わせて配置されることによって、信号ループを構成している。ここには、集積化光電論理演算基板1に組み込まれた、演算回路部分12の光電変換ゲート12<sub>2</sub>に入力するための光信号を出力する、半導体発光素子21、及び1ビット上位の演算回路部分12の光電変換ゲート12<sub>1</sub>に入力するための光信号を出力する、半導体発光素子22、さらに演算結果を一時記憶するために、光電変換ゲート13に入力するための光信号を出力する、半導体発光素子23が組み込まれている。また、これら半導体発光素子には、必要に応じて入力前の電気信号を増幅するための電子増幅回路が付加、集積される。ここで用いられる半導体受光素子としては、前述のように面発光レーザが適している。

【0039】集積化光電論理演算基板1から出力される電気信号は、電気配線3<sub>1</sub>を介して集積化光信号出力基板2に入力される。また、集積化光電論理演算基板1内においては、電気配線3<sub>2</sub>を介して演算結果電気信号が半導体発光素子24に入力される。このように、ここに示した並列型の全加算演算システムは、図10において示した直列型の全加算演算システムを、単に空間的に展開したものであり、その作用は全く同一である。このため、演算速度は直列型のものに等しいが、画像データ等、光入力信号が空間的に展開されている場合には、この方式が有効となる。

【0040】次に本例の作用を、図14に示したフローチャートを用いて説明する。先ほどと同様に、加算演算される2組の入力データをX(・・・, x<sub>k-1</sub>, x<sub>k</sub>, x<sub>k+1</sub>, ・・・)、Y(・・・, y<sub>k-1</sub>, y<sub>k</sub>, y<sub>k+1</sub>, ・・・)とする。これら各2進データは、各ビット毎、すなわち、・・・、(x<sub>k-1</sub>, y<sub>k-1</sub>)、(x<sub>k</sub>, y<sub>k</sub>)、(x<sub>k+1</sub>, y<sub>k+1</sub>)、・・・のように空間的に分配され、集積化光電論理演算基板1に組み込まれた、それぞれのビットに対応する単位演算ブロック内の、演算回路部分11の光電変換ゲート11<sub>1</sub>、11<sub>2</sub>に、最下位ビットから順に入力される。いま、k番目のビットの光入力信号x<sub>k</sub>、y<sub>k</sub>が、集積化光電論理演算基板1に組み込まれた演算回路部分11の光電変換ゲート11<sub>1</sub>及び11<sub>2</sub>に入力されると、ここで半加算演算処理され、SUM、CARRYに対応する演算結果

s<sub>k</sub>、c<sub>k</sub>が、それぞれ電気信号として出力される。これらの電気信号は、電気配線3<sub>1</sub>を通じて、集積化光信号出力基板2内の、同じ単位演算ブロック内の半導体発光素子へ入力されるが、このうちs<sub>k</sub>は半導体発光素子21に、c<sub>k</sub>は半導体発光素子23に入力される。

【0041】これらは、ここで光信号に変換されて、再び集積化光電論理演算基板1に入力されるが、ここではあらかじめ決められているように、半導体発光素子21から出力される光信号s<sub>k</sub>は、同じ単位演算ブロック内の、もう一方の演算回路部分12の光電変換ゲート12<sub>2</sub>に、また半導体発光素子23から出力される光信号c<sub>k</sub>は、光電変換ゲート13に入力され、信号ループによって一時記憶される。またこれと同時に、集積化光信号出力基板2内に並べて集積された、1ビット下位の単位演算ブロック内の半導体発光素子22からは、CARRY"光信号c"<sub>k-1</sub>が、演算回路部分12の光電変換ゲート12<sub>1</sub>に入力される。さらにこれらと同時に、(k+1)番目の光入力信号x<sub>k+1</sub>、y<sub>k+1</sub>が、1ビット上位の単位演算ブロックの演算回路部分11の光電変換ゲート11<sub>1</sub>、11<sub>2</sub>に、それぞれ入力される。

【0042】ここで、集積化光電論理演算基板1において、k番目の単位演算ブロック内の演算回路部分12、及び(k+1)番目の単位演算ブロック内の演算回路部分11で、それぞれ同時に半加算演算が行われ、その演算結果として、前者からは、SUM'信号s'<sub>k</sub>、及びCARRY'信号c'<sub>k</sub>が、後者からは、SUM信号s<sub>k+1</sub>及びCARRY信号c<sub>k+1</sub>が、それぞれ電気信号として出力される。また一時記憶のために、光電変換ゲート13に入力されたCARRY信号c<sub>k</sub>は、ここで電気信号に変換され、出力される。

【0043】これら電気信号のうち、s'<sub>k</sub>は、電気配線3<sub>2</sub>を通じて、集積化光電論理演算基板1に共に組み込まれた、同じ単位演算ブロック内の半導体発光素子24に入力し、光信号に変換されて、kビット目の加算演算結果として、外部に出力される。同時にc'<sub>k</sub>は、c<sub>k</sub>と共に電気配線3<sub>1</sub>内で合成され、c"<sub>k</sub>として集積化光信号出力基板2内の半導体発光素子23に入力され、ここで光信号に変換されて、集積化光電論理演算基板1に組み込まれた、1ビット上位の単位演算ブロック内の、演算回路部分12の光電変換ゲート12<sub>1</sub>に入力される。このようにして、2組の2進データが、1ビット毎に光信号として入力され、下位ビットから順に全加算演算が行われることにより、その演算結果として、光信号として外部に出力される。

【0044】ここに述べた並列型全加算演算方式においても、その中心となる半加算演算回路として、高速特性に優れたものを用いており、その演算速度は実質的にこれに用いてある半導体受光素子の応答速度に等しいので、その受光素子として高速応答のMSM-PDを用いることにより、1回の半加算演算時間は0.1ns程度

となる。並列型全加算演算は、ビット数分の半加算演算時間と、これに電気信号の伝播遅延時間、半導体発光素子の応答時間、光信号の伝播遅延時間が付け加わるだけであり、発光素子に面発光レーザ等の半導体レーザを用い、また全体をモジュール化して信号伝播時間を最小限に抑えることにより、1ビット分の全加算演算時間が、0.3〜0.5 ns程度と、非常に高速の演算システムが実現できる。

【0045】ここに述べた、並列型全加算光電論理演算システムは、先に述べたいわゆる直列型のシステムに比べて、半導体基板の大きさがビット数だけ大きくなり、その分システム全体が大きくなってしまふものの、2次元画像処理等の空間的な広がりを持つ光入力データ処理を必要とする場合には、この並列演算方式が適している。また、このシステムでは、ここに用いられている光電半加算論理演算回路が、その演算結果であるSUMとCARRYの電気信号を、全く同時に出力できることが特徴であるため、このシステムをキャリーセーブ方式の並列型全加算光電論理演算システムとして用いることは、非常に有効である。この演算方式は、乗算回路において多く用いられるが、一般に電子回路、すなわちトランジスタのみで構成した場合、SUMとCARRYの出力は同時に発生しないため、複雑なタイミング回路を組み込む必要があった。ここでは、前述のようにこの必要が無い場合、非常に簡単に乗算回路を構成することができ、またこの分、演算速度を高めることができる。また一般に、四則演算等の複雑な演算を行う場合にしばしば必要となる、シフトレジスタ等の信号遅延回路は、各単位演算ブロック内の信号ループを利用して本光電論理演算システムに簡単に導入することができる。

【0046】さらに、このような並列型全加算回路においては、各ビットの桁上げ(CARRY)信号は隣接された上位ビットの入力ゲートに転送されるため、演算の結果、電気信号として出力される桁上げ信号は、そのまま隣接上位ビットに電気的に接続されて入力され、必ずしも光信号に変換される必要はない。すなわち、本特許で取り扱う光出力信号の利点とは、ある単位演算ブロックから、次段の別の光電論理演算基板内の単位演算ブロックへ転送する場合に、光信号の方が多くの点において優れているということであって、同一論理演算基板の内部における信号転送、すなわち、内部桁上げ信号等は光信号に変換しなくても差し支えない。本特許においては、光信号入出力の概念は、次段光電論理演算基板への光配線を兼ねることも目的としているので、この場合のように、桁上げ信号を光信号に変換しないで転送する場合も、SUM電気信号が光信号に変換され、次段に光信号として入力されるならば、本発明に含まれるものである。

#### 【0047】

【発明の効果】本発明により、半導体受光素子と半導体

発光素子を、それぞれ集積した半導体基板を、信号ループを構成するために、お互いに光学的に結合されるように空間的に配置することにより、光信号を用いた全加算演算等の複雑な論理演算が、簡単な構成で実現できる。特に、本発明では光信号の入出力系統を空間的に振り分け、その経路を簡素化したことにより、複雑な光学系、及びそのクロック毎の複雑な制御が不要になったことが大きな特徴である。これにより、演算速度はなお一層速くなり、また演算システム内での光信号の減衰が大幅に小さくなることが期待される。このため、演算システムを空間的に配列することによる、大規模な並列演算システムが実質的に可能になり、特に画像演算処理等において、その効果を最大限に発揮するであろうことが期待される。

#### 【図面の簡単な説明】

【図1】本発明における集積化光電論理演算システムの基本的な構成を示したものである。

【図2】本発明において集積化光電論理演算基板に用いられる半導体受光素子として最適な、MSM-PDの代表的な素子構造を示したものである。

【図3】本発明において集積化光信号出力基板に用いられる半導体発光素子として最適な、面発光レーザの代表的な素子構造を示したものである。

【図4】本発明における集積化光電論理演算システムにおいて、集積化光電論理演算基板を、MSM-PDを半導体基板上に集積して構成する場合の、集積回路の概念図を示したものである。

【図5】本発明における集積化光電論理演算システムにおいて、集積化光信号出力基板を、面発光レーザを半導体基板上に集積して構成する場合の、集積回路の概念図を示したものである。

【図6】本発明における集積化光電論理演算システムにおいて、半導体基板にMSM-PDと面発光レーザとを用いて、光電論理演算基板と光信号出力基板とを共に集積する場合の、集積回路の概念図を示したものである。

【図7】本発明における集積化光電論理演算システムにおいて、半導体基板に、MSM-PDと面発光レーザとを用いて、光電論理演算基板と光信号出力基板とを共に集積し、これに信号の帰還のための、別の集積化光信号出力基板を、お互いに対応する光結合関係を満足するように向かい合わせて重ね合わせ、接着して固定する場合の概念図を示したものである。

【図8】本発明における集積化光電論理演算システムの構成例を示したものである。

【図9】本発明における集積化光電論理演算システムの構成例を示したものである。

【図10】本発明における集積化光電論理演算システムとして、全加算演算を行う場合の実施例を示したものである。

【図11】図10に示した全加算演算システムのフロー

チャートを示したものである。

【図12】本発明における集積化光電論理演算システムとして、図1に示したような演算システムを一単位とし、これを空間的に複数個配列し、集積することによって構成された、並列型の集積化光電論理演算システムの基本的な構成を示したものである。

【図13】本発明における並列型の集積化光電論理演算システムとして、全加算演算を行う場合の実施例を示したものである。

【図14】図13に示した全加算演算システムのフローチャートを示したものである。

【図15】空間光変調素子を発光素子アレイ、および受光素子アレイと組み合わせて構成される、光演算システムである。

【図16】半導体受光素子を用いて構成された光電半加算演算回路である。

【図17】同じく半導体受光素子を用いて構成された、光電半加算演算回路である。

【図18】図16に示した光電半加算演算回路を、半導体基板上に集積した場合の集積回路例である。

【図19】図17に示した光電半加算演算回路を、半導体基板上に集積した場合の集積回路例である。

【図20】図16や図17に示した光電半加算演算回路と、ラッチメモリとを用いて構成される光電全加算演算システムのブロック図である。

【図21】半導体受光素子からなる光電排他的論理和(XOR)演算ゲートアレイ、および光電論理積(AND)演算ゲートアレイを、平面上に配置し、もう一方の\*

\*平面上には半導体レーザアレイを配置し、これらをハーフミラーを用いて光結合し、光信号の帰還を行うように構成することによって実現される、光電全加算演算システムを示したものである。

【図22】半導体受光素子からなる光電排他的論理和(XOR)演算ゲート、および光電論理積(AND)演算ゲートを、半導体発光素子と共に平面上に配置し、コーナーキューブを用いて光信号の帰還を行うように構成することによってメモリ機能を含んで実現される、光電全加算演算システムを示したものである。

#### 【符号の簡単な説明】

1…集積化光電論理演算基板

11、12…演算回路部分

11<sub>1</sub>~11<sub>n</sub>、12<sub>1</sub>~12<sub>2</sub>、13、14…光電変換ゲート

2、2<sub>1</sub>、2<sub>2</sub>…集積化光信号出力基板

21、21<sub>1</sub>~21<sub>n</sub>、22、22<sub>1</sub>~22<sub>n</sub>、23、

24、25…半導体発光素子

3<sub>1</sub>、3<sub>2</sub>…電気配線

4、4<sub>1</sub>…半導体基板

4<sub>2</sub>…活性領域

5<sub>1</sub>、5<sub>2</sub>…ショットキー電極

6…絶縁体薄膜

7<sub>1</sub>…多層膜反射鏡

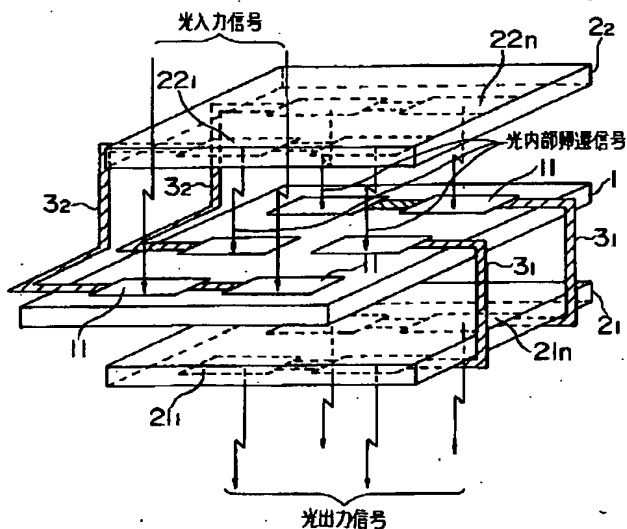
7<sub>2</sub>…反射鏡

8、8<sub>1</sub>~8<sub>n</sub>…半導体受光素子

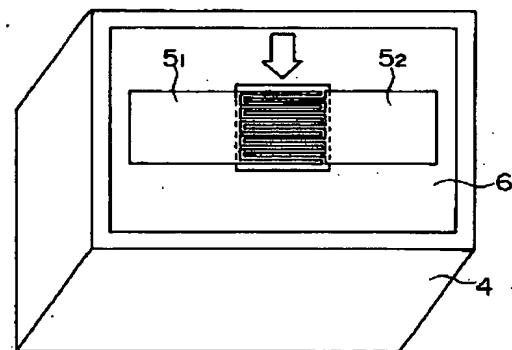
9…導電体薄膜電極

10…コーナーキューブ

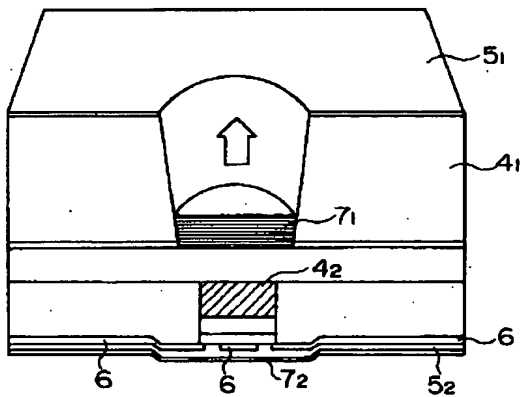
【図1】



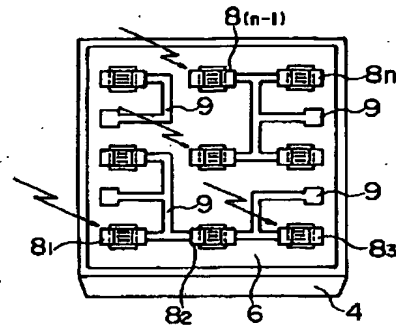
【図2】



【図3】

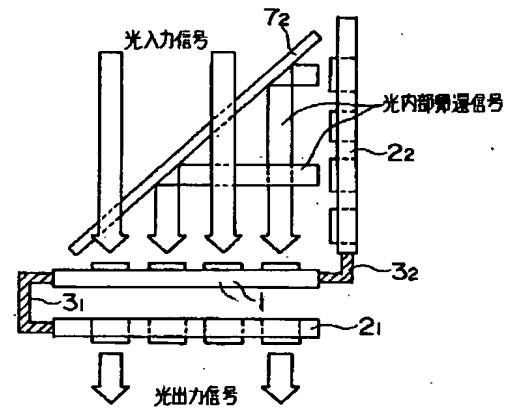
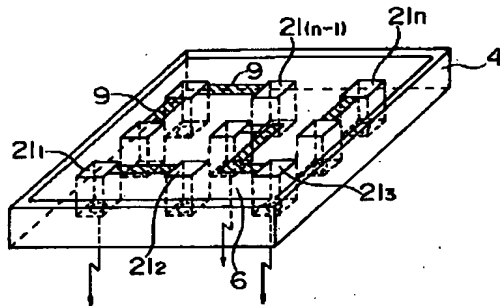


【図4】

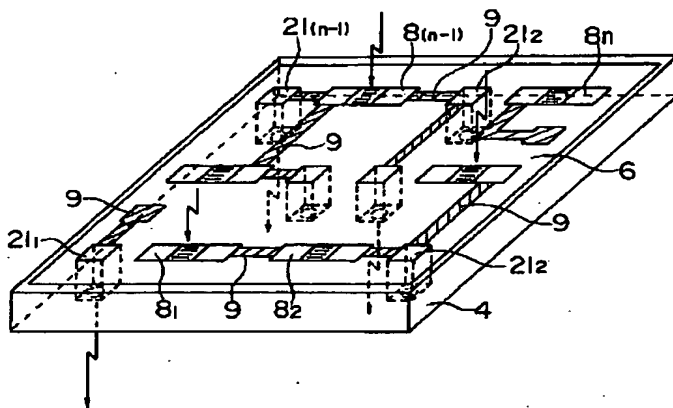


【図8】

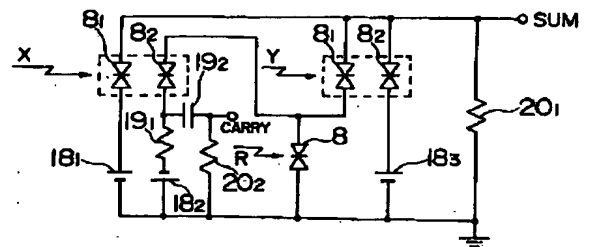
【図5】



【図6】



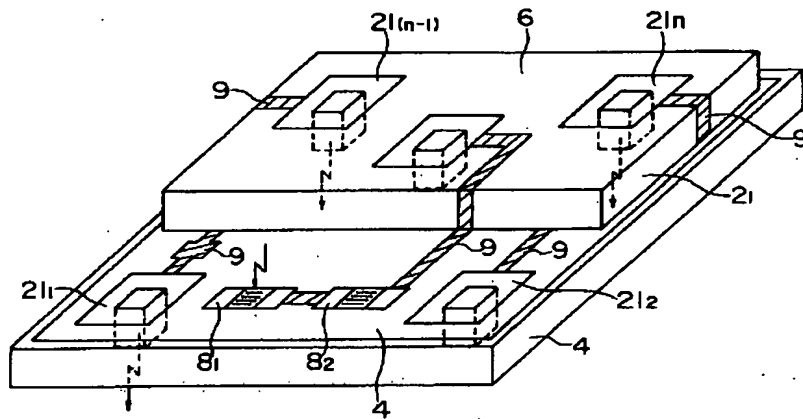
【図17】



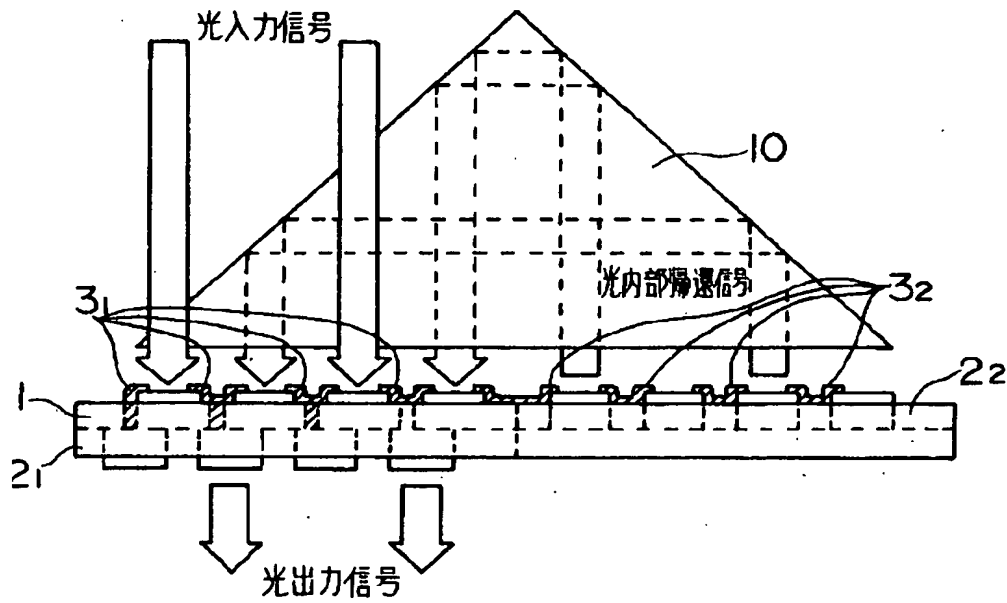
• X, Y, R (リセット) --- 光入力信号

• SUM, CARRY --- 電気出力信号

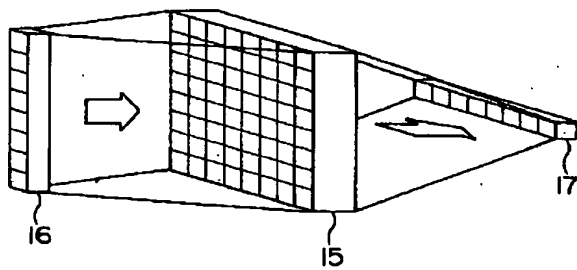
【図7】



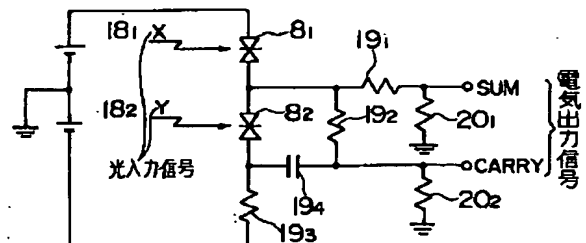
【図9】



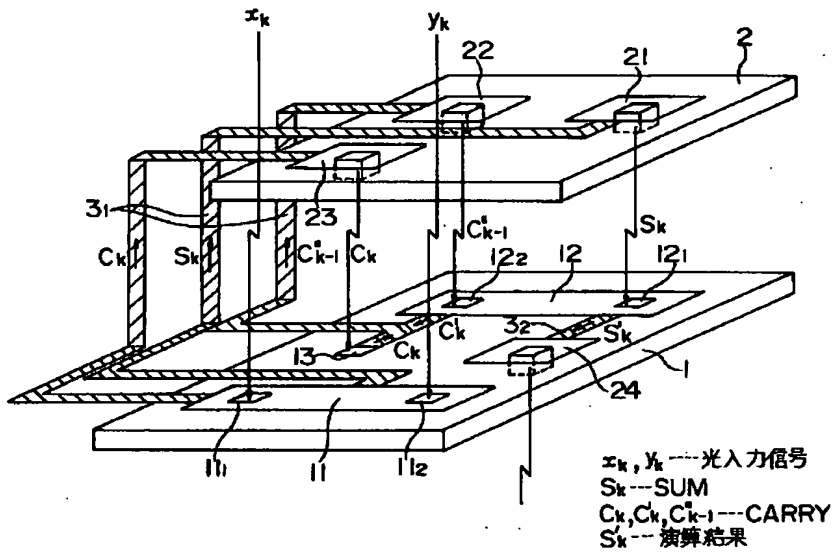
【図15】



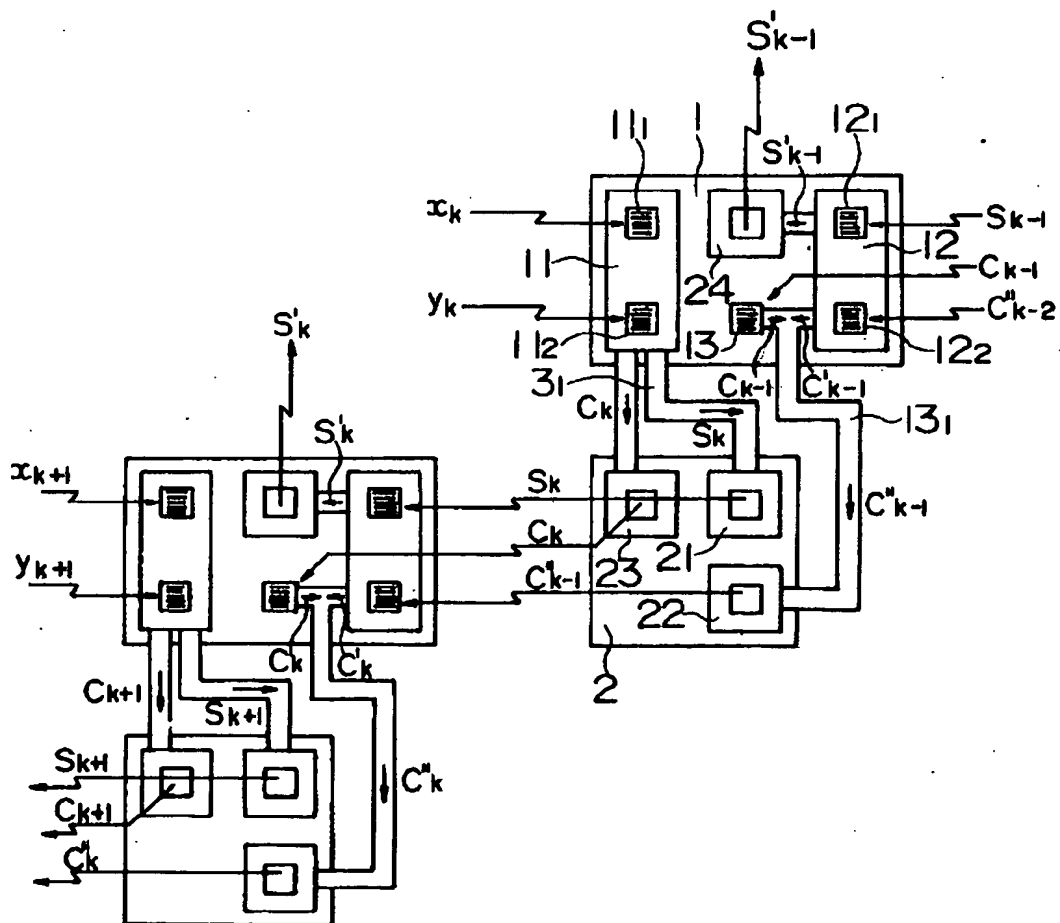
【図16】



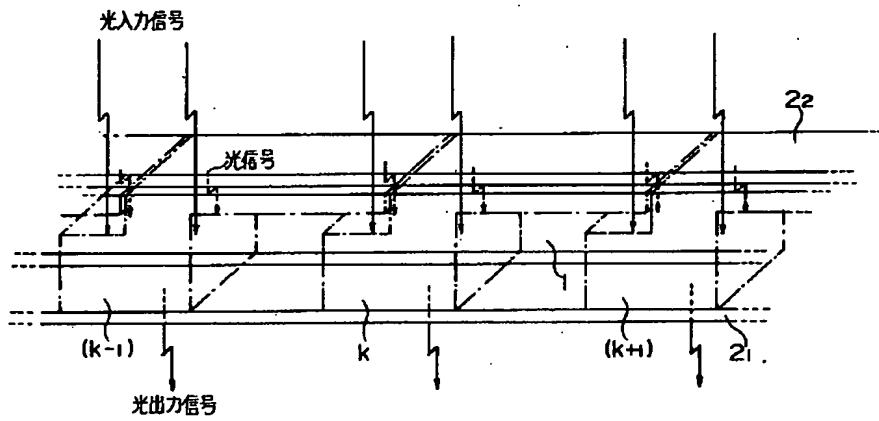
【図10】



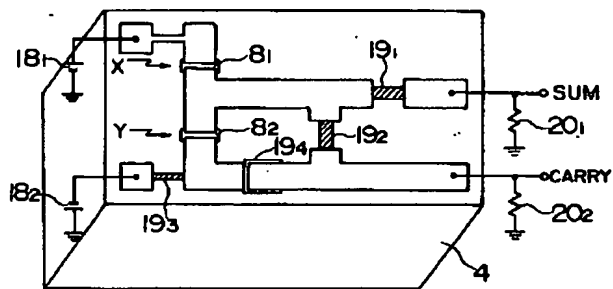
【図11】



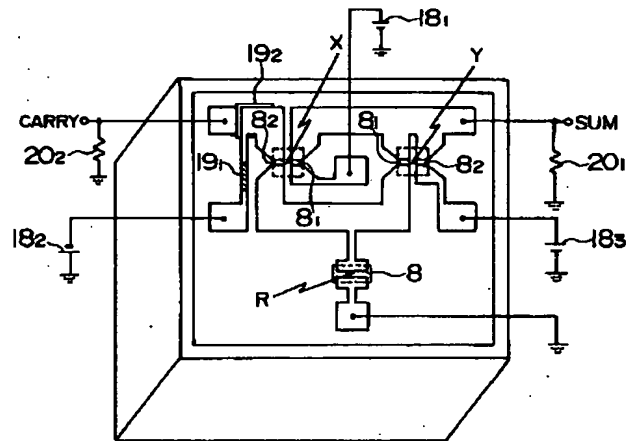
【図12】



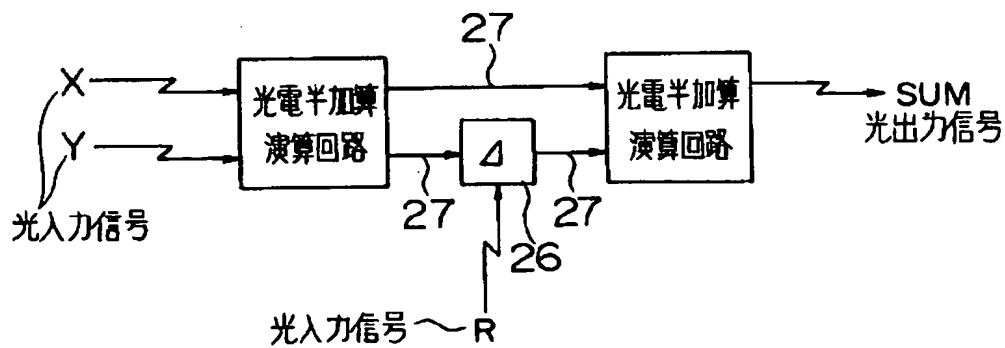
【図18】



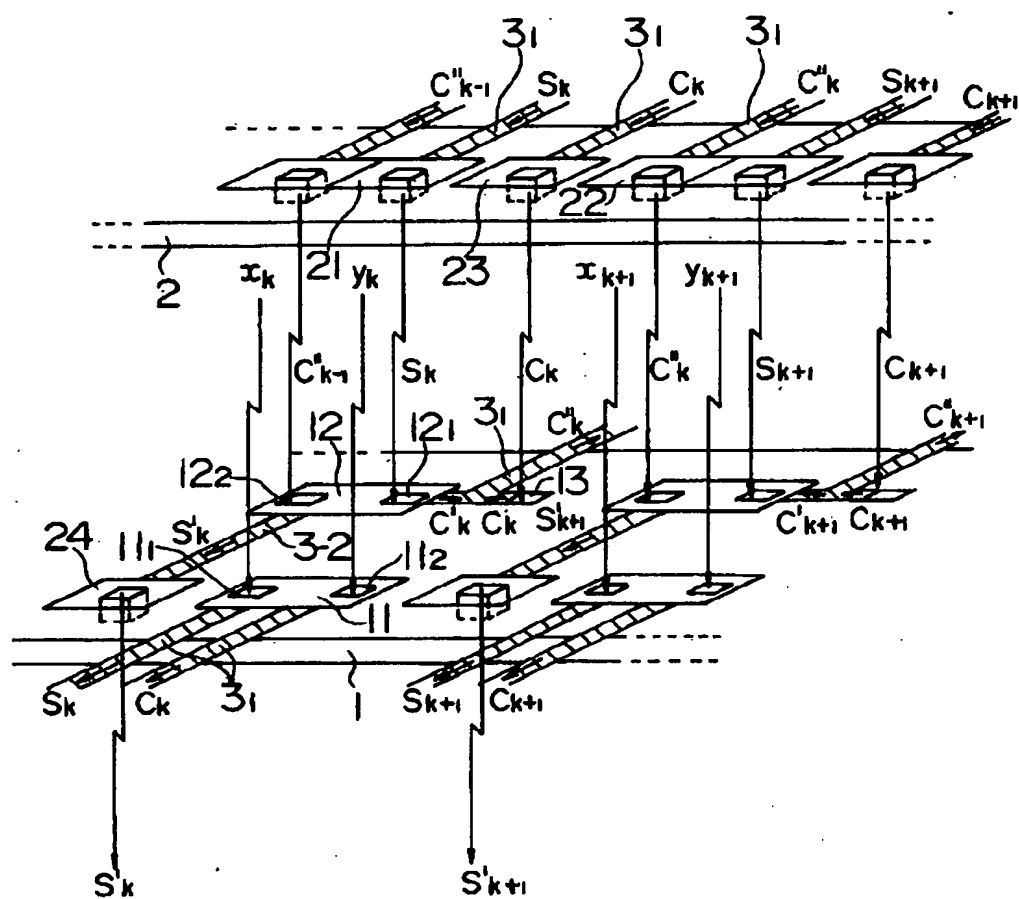
【図19】



【図20】



【図13】



$x_k, y_k, x_{k+1}, y_{k+1}$  ---- 光入力信号

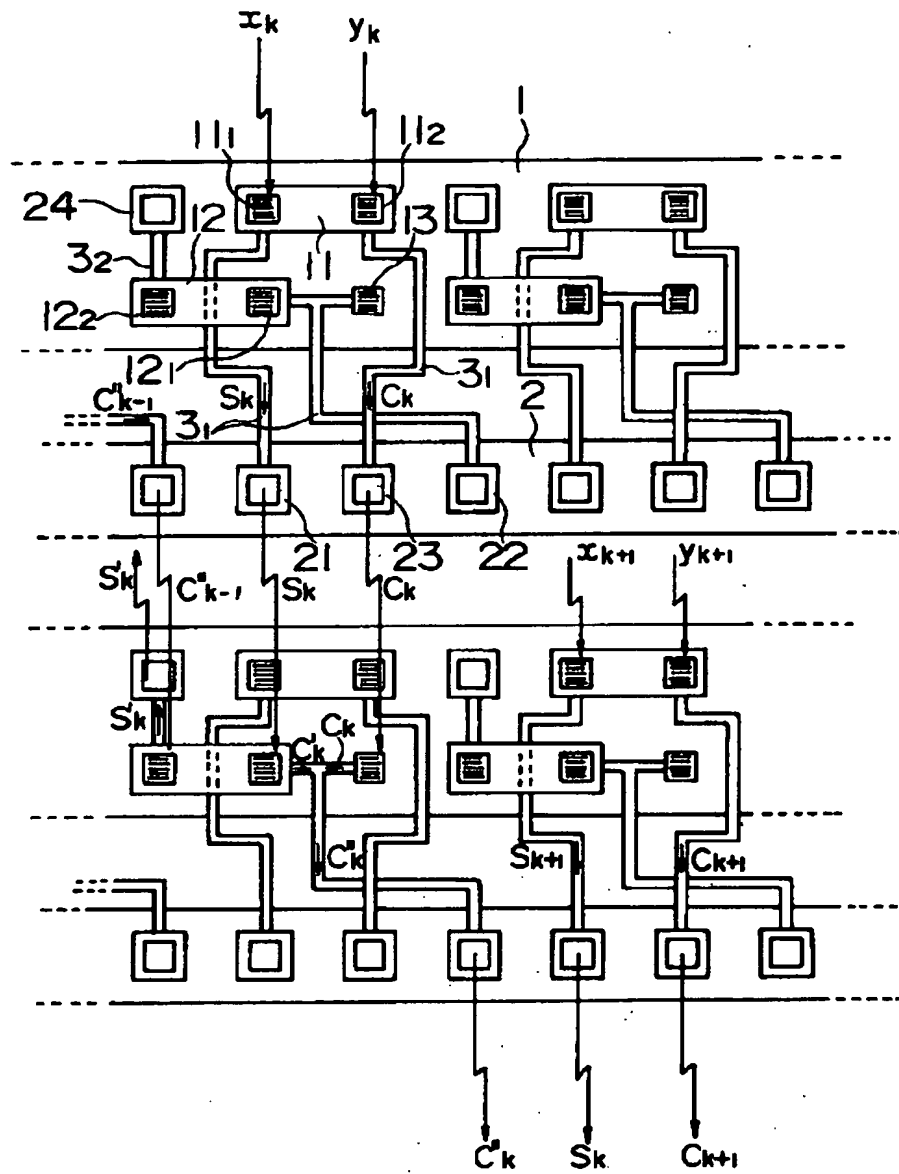
$S_k, S_{k+1}$  ---- SUM

$C_k, C'_k, C''_{k-1}, C_{k+1}, C'_{k+1}, C''_k$  ---- CARRY

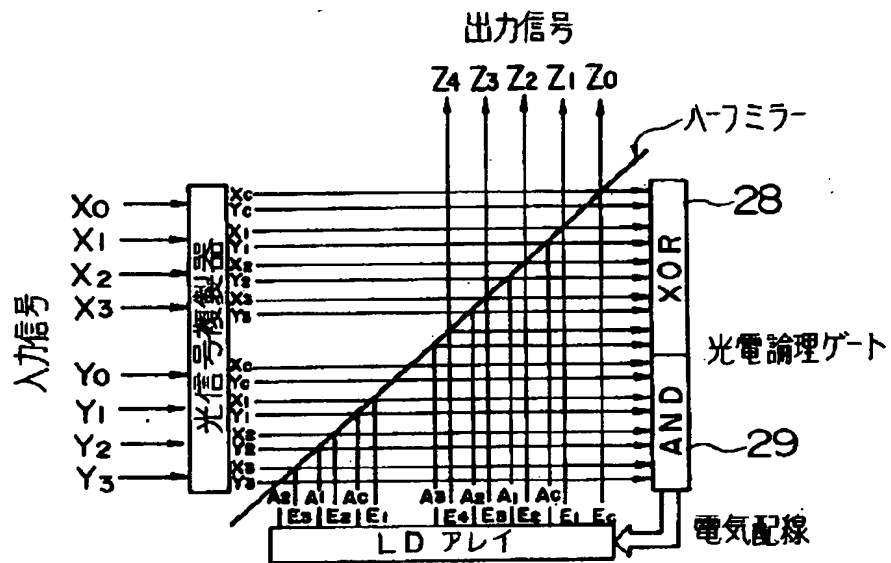
$S'_k, S'_{k+1}$  ---- 演算結果 (出力信号)



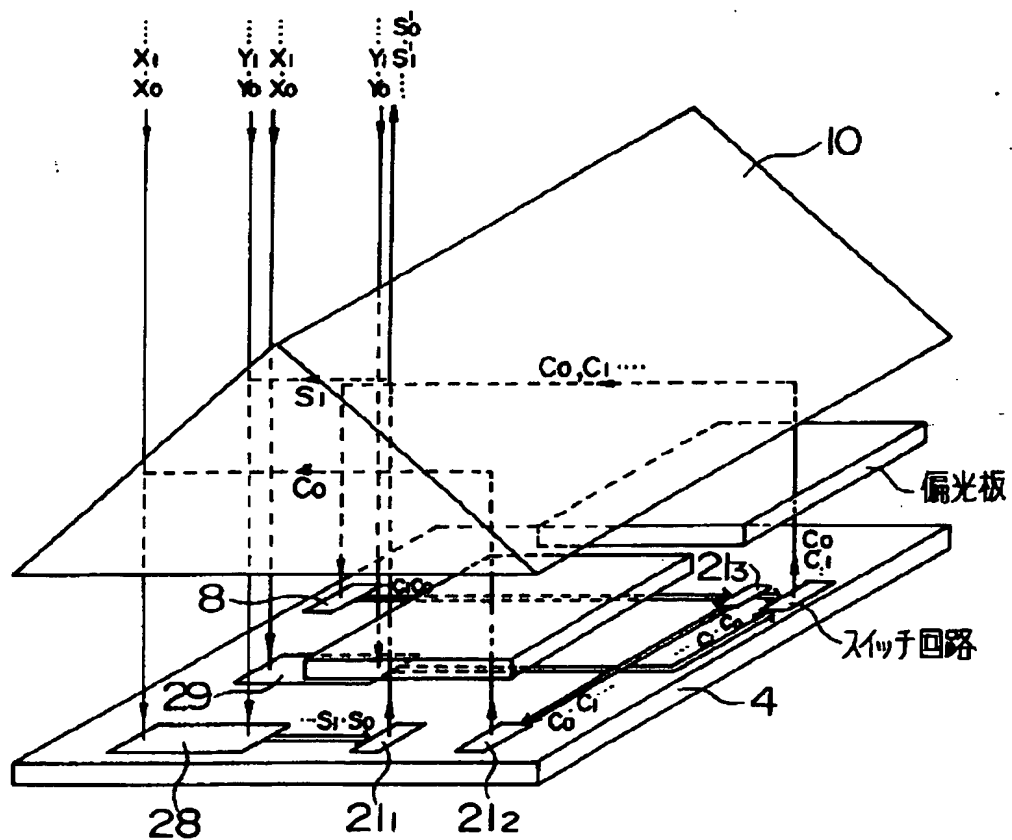
【図14】



【図21】



【図22】



## フロントページの続き

(72)発明者 飯田 孝  
静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内  
(72)発明者 藁科 禎久  
静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72)発明者 杉本 賢一  
静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内  
(72)発明者 鈴木 智子  
静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内  
(72)発明者 菅 博文  
静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内